

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re patent application of

Y. Ishikawa et al.

Serial No. Not assigned

Group Art Unit: not assigned

Filed: concurrently

Examiner: not assigned

For: Semiconductor Device

Commissioner of Patents

Box 1450

Alexandria, VA 22131-1450

**SUBMISSION OF PRIORITY DOCUMENT**

Sir:

Submitted herewith is a certified copy of Japanese Patent Application Number 2002-287199 dated September 30, 2002 upon which application the claim for priority is based in the above-identified patent application.

Respectfully submitted,



Michael E. Whitham

Registration No. 32,635

Date: 9/10/03

Whitham, Curtis & Christofferson, PC

11491 Sunset Hills Road - #340

Reston, VA 201900

703/787-9400

Customer No. 30743

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月30日  
Date of Application:

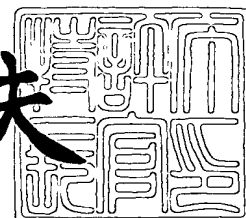
出願番号 特願2002-287199  
Application Number:  
[ST. 10/C]: [JP 2002-287199]

出願人 ミツミ電機株式会社  
Applicant(s):

2003年 8月25日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3069391

【書類名】 特許願

【整理番号】 07X11633-0

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/06

【発明者】

    【住所又は居所】 神奈川県厚木市酒井 1 6 0 1 ミツミ電機株式会社厚木事業所内

    【氏名】 石川 泰久

【発明者】

    【住所又は居所】 神奈川県厚木市酒井 1 6 0 1 ミツミ電機株式会社厚木事業所内

    【氏名】 渡邊 敦

【発明者】

    【住所又は居所】 神奈川県厚木市酒井 1 6 0 1 ミツミ電機株式会社厚木事業所内

    【氏名】 寺田 幸弘

【発明者】

    【住所又は居所】 神奈川県厚木市酒井 1 6 0 1 ミツミ電機株式会社厚木事業所内

    【氏名】 池内 亮

【発明者】

    【住所又は居所】 神奈川県厚木市酒井 1 6 0 1 ミツミ電機株式会社厚木事業所内

    【氏名】 大谷 拓

【特許出願人】

    【識別番号】 000006220

    【氏名又は名称】 ミツミ電機株式会社

**【代理人】****【識別番号】** 100070150**【弁理士】****【氏名又は名称】** 伊東 忠彦**【手数料の表示】****【予納台帳番号】** 002989**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板内に形成されたウェル領域と、  
前記ウェル領域内に形成された電界効果トランジスタと、  
前記ウェル領域とその外周部とに跨って形成され、前記ウェル領域にバックゲート電位を印加するとともに、前記外周部とで P N 接合を形成する拡散領域とを有し、

前記電界効果トランジスタと前記 P N 接合とを端子間に接続し、前記端子間で過電流を吸収し、前記端子に接続された内部回路を保護することを特徴とする半導体装置。

【請求項 2】 前記電界効果トランジスタのゲートは、前記チャネル上に形成されたゲート酸化膜と、

前記ゲート酸化膜上に形成された保護膜と、

前記保護膜上に形成された導電材とを有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記電界効果トランジスタのゲートは、メタルゲートから構成されたことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記ウェル領域には、前記電界効果トランジスタが複数設けられ、

前記複数の電界効果トランジスタは、ゲートとドレインとが共有化されたことを特徴とする請求項 1 乃至 3 のいずれか一項記載の半導体装置。

【請求項 5】 前記電界効果トランジスタ及び前記ダイオードと前記内部回路との間に前記電界効果トランジスタ及び前記ダイオードがオンしたときの前記電界効果トランジスタ及び前記ダイオードのインピーダンスより大きいインピーダンスを有するインピーダンス素子を設けたことを特徴とする請求項 1 乃至 4 のいずれか一項記載の半導体装置。

【請求項 6】 内部回路に接続される複数の端子間に接続され、該内部回路を保護する保護回路を有する半導体装置において、

前記保護回路は、前記端子間の電位差に応じて流れる電流の応答がダイオードと同等に立ち上がりを有する第 1 の素子と、

前記電流の立ち上がり後、トランジスタと同等のインピーダンスとなる第 2 の素子とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置に係り、特に、静電放電保護を行う保護回路を内蔵した半導体装置に関する。

【0 0 0 2】

【従来の技術】

半導体集積回路（I C；integrated circuit）を構成する素子は、微小であり、静電気放電（E S D；electrostatic discharge）により容易に破壊される。このため、半導体集積回路には、外部で発生した静電気放電から内部回路を保護するための破壊保護回路が内蔵され、ユーザー等からの要求に合わせた多種の E S D 試験が行なわれる。その E S D 試験の静電気印加モデルとしては、人体モデル、マシンモデル等が代表的である。

【0 0 0 3】

この種（人体モデルやマシンモデル等）の保護回路には、通常、トランジスタ素子を用いた保護回路とダイオード素子を用いた保護回路とで対応している。

【0 0 0 4】

ここで、トランジスタ素子を用いた保護回路とダイオード素子を用いた保護回路を説明する。

【0 0 0 5】

図 1 1 は電界効果トランジスタを用いた保護回路の回路構成図を示す。

【0 0 0 6】

電界効果トランジスタを用いた保護回路 7 0 0 は、電界効果トランジスタ 7 0 1 から構成されており、内部回路 7 0 2 に電源を供給する電源端子 7 0 3 と内部回路 7 0 2 と信号をやり取りするための入出力端子 7 0 4 との間に設けられてい

る。電界効果トランジスタ701は、ドレインが電源端子703に接続され、ソース及びゲートが入出力端子704に接続された構成とされている。

#### 【0007】

上記構成により入出力端子704の電位が静電気放電などで上昇したときに、電界効果トランジスタ701がオンし、静電気放電による電荷を電源端子702に放電させ、入出力端子704の電位をクランプする。

#### 【0008】

図12はトランジスタを用いた保護回路の特性を示す図、図13はトランジスタ及びダイオードの電圧－電流特性図を示す。図13（A）はパルスが印加されたときの時間に対する電圧の特性、図13（B）はパルスが印加されたときの電圧に対する電流の特性を示す。

#### 【0009】

なお、図12及び図13（A）、図13（B）は、トランジスタとダイオードの素子サイズを同一サイズとした場合の特性図である。

#### 【0010】

トランジスタ素子は、図12に実線で示すようにインピーダンス（ $\Delta I1/\Delta V1$ ）は図12に破線で示すダイオード素子のインピーダンス（ $\Delta I2/\Delta V2$ ）に比べて小さい。しかし、トランジスタ素子701には、図12、図13（A）に示す実線の曲線で表される特性、いわゆる、スナップバック現象が発生する。このスナップバック現象により図13（B）に実線で示すように電流の立ち上がりに時間 $\tau$ の遅れが生じることになる。このため、例えば人体又はマシンモデル等よりも立ち上り波形が急峻なESD入力に対しては対応が遅れ、内部回路及び保護素子を破損する恐れが生じる。

#### 【0011】

図14はダイオードを用いた保護回路の回路構成図を示す。

#### 【0012】

ダイオードを用いた保護回路800は、ダイオード801から構成され、電源端子803と入出力端子804との間に設けている。ダイオード801は、カソードが電源端子803に接続され、アノードが入出力端子804に接続された構

成とされている。

#### 【0 0 1 3】

上記構成により入出力端子 8 0 4 が静電気放電などで上昇したときに、ダイオード 8 0 1 がオンし、静電気放電を電源端子 8 0 3 に放電させ、入出力端子 8 0 4 を所定電位にクランプする。

#### 【0 0 1 4】

図 1 5 はダイオードを用いた保護回路の特性を示す図である。図 1 5 (A) はパルスを印加したときの時間に対する電圧の特性、図 1 5 (B) はパルスを印加したときの時間に対する電流の特性を示す。

#### 【0 0 1 5】

ダイオード 8 0 1 は、入力パルスに対して図 1 5 に示すように電圧と電流とが略同時に立ち上がる。しかし、立ち上がった後、図 1 5 (A) に示すようにインピーダンスが大きい。このため、例えば人体又はマシンモデル等よりも高電圧な E S D 入力に対しては内部回路を保護するためには素子を大きくしてインピーダンスを下げる必要が生じる。

#### 【0 0 1 6】

##### 【発明が解決しようとする課題】

近年、ユーザーからの E S D 試験の要求として、人体又はマシンモデルに比べ非常に高電圧で高速の E S D パルスでの試験を要望する場合がある。

#### 【0 0 1 7】

そこで、上記試験をトランジスタを用いた保護回路では行なった場合、上述したスナッチバック現象により、オン状態になるまでの立ち上がりが遅いため、高速で立ち上がる E S D パルスには対応できず、内部回路を破壊する恐れがあるなどの問題点が生じる。

#### 【0 0 1 8】

また、ダイオードを用いた保護回路で行なった場合、素子のインピーダンスを下げるために素子面積を大きくする必要がある。よって、高電圧の E S D パルスに対応しようとする、保護回路を搭載しようとする素子が大型化するなどの問題点が生じる。



**【0 0 1 9】**

本発明は上記の点に鑑みてなされたもので、小型で、応答速度及び耐量を向上させることができる半導体装置を提供することを目的とする。

**【0 0 2 0】****【課題を解決するための手段】**

本発明の請求項 1 は、基板内に形成されたウェル領域（3 2）と、ウェル領域内に形成された電界効果トランジスタ（Q 1）と、ウェル領域（3 2）とその外周部とに跨って形成され、ウェル領域（3 2）にバックゲート電位を印加するとともに、外周部とで P N 接合（D 1）を形成する拡散領域（4 4）とを有し、電界効果トランジスタ（Q 1）と P N 接合（D 1）とを端子（T in、T out、T s、T gnd）間に接続し、端子（T in、T out、T s、T gnd）間の過電流を吸収し、端子（T in、T out、T s、T gnd）に接続された内部回路（1 1）を保護することを特徴とする。

**【0 0 2 1】**

本発明の請求項 1 によれば、電界効果トランジスタ（Q 1）と P N 接合（D 1）とを端子（T in、T out、T s、T gnd）間に接続し、端子（T in、T out、T s、T gnd）間の過電流を吸収する構成とすることにより、P N 接合（D 1）により電流の立ち上がりに対して高速に対応でき、かつ、電流が立ち上がった後には電界効果トランジスタ（Q 1）により低インピーダンスで電流を吸収できるため、耐量を向上させることができる。

**【0 0 2 2】**

また、本発明の請求項 2 は、電界効果トランジスタ（Q 1）のゲートをチャネル上の形成されたゲート酸化膜（3 6）と、ゲート酸化膜（3 6）上に形成された保護膜（3 7）と、保護膜（3 7）上に形成された導電材（3 8）とから構成することを特徴とする。

**【0 0 2 3】**

本発明の請求項 2 によれば、ゲートの絶縁膜（3 6、3 7）を厚くすることができるため、電界効果トランジスタ（Q 1）の耐量を向上させることができる。

**【0 0 2 4】**

本発明の請求項 3 は、電界効果トランジスタ（Q 1）のゲートをメタルゲート構造としたことを特徴とする。

【 0 0 2 5 】

本発明の請求項 3 によれば、電界効果トランジスタ（Q 1）のゲートをメタルゲート構造とすることにより、電界効果トランジスタ（Q 1）のゲート酸化膜耐圧を向上させることができるため、静電放電試験など大きな耐量が要求される場合に対応できる。

【 0 0 2 6 】

本発明の請求項 4 は、ウェル領域（3 2）内に、複数の電界効果トランジスタ（Q11～Q14）を設け、複数の電界効果トランジスタ（Q11～Q14）でゲートとドレインとを共有化したことを特徴とする。

【 0 0 2 7 】

本発明の請求項 4 によれば、ウェル領域（3 2）内に、複数の電界効果トランジスタ（Q11～Q14）を設け、複数の電界効果トランジスタ（Q11～Q14）でゲートとドレインとを共有化することにより、複数の電界効果トランジスタ（Q11～Q14）で電流を分散して逃がすことができるため、大電流に対応できる。また、複数の電界効果トランジスタ（Q11～Q14）をゲートとドレインとで共有化し、同一のウェル領域（3 2）内に形成するため、小さいスペースで実現できる。

【 0 0 2 8 】

本発明の請求項 5 は、電界効果トランジスタ（Q 1）及びダイオード（D 1）と内部回路（1 1）との間に電界効果トランジスタ（Q 1）及びダイオード（D 1）がオンしたときの電界効果トランジスタ（Q 1）及びダイオード（D 1）のインピーダンスより大きいインピーダンスを有するインピーダンス素子（R 1）を設けたことを特徴とする。

【 0 0 2 9 】

本発明の請求項 5 によれば、電界効果トランジスタ（Q 1）及びダイオード（D 1）と、内部回路（1 1）との間に電界効果トランジスタ（Q 1）及びダイオード（D 1）がオンしたときの電界効果トランジスタ（Q 1）及びダイオード（D 1）のインピーダンスより大きいインピーダンスを有するインピーダンス素子

(R 1) を設けることにより、電界効果トランジスタ (Q 1) 及びダイオード (D 1) により電流が吸収されているときに、内部回路 (1 1) 側に大電流が流れ込むことを防止できる。

#### 【0 0 3 0】

本発明の請求項 6 は、内部回路 (1 1) に接続される複数の端子 (T in、T out、T s、T gnd) 間に接続され、内部回路 (1 1) を保護する保護回路 (1 2) を有する半導体装置 (1) において、保護回路 (1 2) は、電流の立ち上がり後、トランジスタと同等のインピーダンスとなる第 2 の素子 (Q 1) と、第 2 の素子 (Q 1) とは別に設けられ、端子 (T in、T out、T s、T gnd) 間の電位差に応じて流れる電流の応答がダイオードと同等に立ち上がりを有する第 1 の素子 (D 1) とを接続したことを特徴とする。

#### 【0 0 3 1】

本発明の請求項 6 によれば、電流の立ち上がり後、トランジスタと同等のインピーダンスとなる第 2 の素子 (Q 1) と、第 2 の素子 (Q 1) とは別に設けられ、端子 (T in、T out、T s、T gnd) 間の電位差に応じて流れる電流の応答がダイオードと同等に立ち上がりを有する第 1 の素子 (D 1) とを端子 (T in、T out、T s、T gnd) 間に接続し、端子 (T in、T out、T s、T gnd) 間の過電流を吸収する構成とすることにより、第 1 の素子 (D 1) により電流の立ち上がりに対して高速に対応でき、かつ、電流が立ち上がった後には第 2 の素子 (Q 1) により低インピーダンスで電流を吸収できるため、耐圧を向上させることができる。

#### 【0 0 3 2】

なお、参照符号は、参考であり、請求の範囲を限定するものではない。

#### 【0 0 3 3】

##### 【発明の実施の形態】

図 1 は本発明の半導体装置の一実施例のブロック構成図を示す。

#### 【0 0 3 4】

本実施例の半導体装置 1 は、内部回路 1 1 及び保護回路 1 2 を含む構成とされている。

#### 【0 0 3 5】

内部回路 11 には、電源端子 Ts、接地端子 Tgnd 及び入力端子 Tin、出力端子 Tout が接続されている。内部回路 11 は、電源端子 Ts に供給される電源電圧 Vdd に応じて駆動され、入力端子 Tin に供給される入力信号に所定の処理を行って、出力端子 Tout から出力する。

#### 【0036】

保護回路 12 は、電源端子 Ts と入力端子 Tin との間、入力端子 Tin と接地端子 Tgnd との間、電源端子 Ts と出力端子 Tout との間、出力端子 Tout と接地端子 Tgnd との間、電源端子 Ts と接地端子 Tgnd との間に接続される。保護回路 12 は、電源端子 Ts、接地端子 Tgnd、入力端子 Tin、出力端子 Tout に発生する過電流が内部回路 11 に供給されないようにバイパスする。

#### 【0037】

図 2 は本発明の半導体装置の一実施例の保護回路の回路構成図を示す。

#### 【0038】

保護回路 12 は、第 1 の保護素子 21 及び第 2 の保護素子 22 を並列に接続した構成とされている。第 2 の保護素子 22 は、スナップバックとよばれる特性を有し、端子間の電圧の立ち上がり後、電界効果トランジスタと同等のインピーダンスとされる。第 1 の保護素子 21 は、端子間の電位差に応じて流れる電流の応答がダイオードと同等の立ち上がりとなる素子であり、例えば、ダイオード D1 から構成される。

#### 【0039】

また、第 2 の保護素子 22 は、両端に時刻  $t_0$  でパルス波形を印加した場合、図 13 (B) に示すように電流は緩やかに立ち上がる。一方、電圧は、スナップバック現象により一旦立ち上がった後、インピーダンスが低インピーダンスで安定することにより低電圧で安定化する。

#### 【0040】

第 1 の保護素子 21 は、両端に時刻  $t_0$  でパルス波形を印加した場合、図 15 (B) に示すように急峻に電流が流れる。また、第 1 の保護素子 21 にかかる電圧は、図 15 (A) に示すように時刻  $t_1$  で安定後、一定レベルに保持される。

#### 【0041】

本実施例の保護回路 12 は、上記図 13 に示すような特性を示す第 2 の保護素子 22 と図 15 に示すような特性を示す第 1 の保護素子 21 とを並列に接続した構成とされている。

#### 【0042】

図 3 は保護回路 12 の動作説明図を示す。図 3 (A) はパルスが印加されたときの時間に対する電圧の特性、図 3 (B) はパルスが印加されたときの時間に対する電圧の特性を示す。

#### 【0043】

保護回路 12 は、立ち上がり時には第 1 の保護素子 21 が動作して図 3 (B) に示すように立ち上がりが急峻で、パルスが立ち上がった後、第 1 の保護素子 21 に加えて第 2 の保護素子 22 が動作して端子間を低インピーダンスで安定し、図 3 (A) に示すような特性を実現できる。このように、保護回路 12 は、急峻な応答で、かつ、低インピーダンス化を実現できる。これによって、立ち上がりスピードが早く、かつ、電圧の高い ESD サージに対して対応できる。

#### 【0044】

このとき、電流が立ち上がった後には、第 2 の保護素子 22 を構成し、インピーダンスが比較的小さい電界効果トランジスタ Q1 を通して電流がバイパスされるため、電圧が上昇することがない。このため、第 1 の保護素子 21 を構成するダイオード D1 の素子面積を小さくすることができる。これによって、保護回路 12 を省スペース化できる。

#### 【0045】

なお、第 1 の保護素子 21 と第 2 の保護素子 22 とは、拡散領域を共用して作成されており、更に省スペース化が可能となる。

#### 【0046】

図 4 は保護回路 12 の平面図、図 5 は保護回路 12 の断面図を示す。

#### 【0047】

電界効果トランジスタ Q1 は、N 型の半導体基板 31 上に形成された P 型のウェル領域 32 内に形成される。P ウェル領域 32 には、ソース領域の高濃度の N 型拡散領域 33 及びドレイン領域の高濃度の N 型拡散領域 34 が形成されている。

。このN型拡散領域33とN型拡散領域34との間にチャネル領域が形成される。

#### 【0048】

チャネル領域が形成されるチャネル形成部35の上部に、例えば膜厚40nm程度のSiO<sub>2</sub>膜などからなるゲート酸化膜36が形成される。さらに、このゲート酸化膜36の上部には、例えば膜厚120nmのNSG膜からなる絶縁膜37a及び例えば膜厚480nm程度のBP SG膜からなる絶縁膜37bから構成される保護層37が形成される。この保護層37の上部に、例えばアルミニウムなどから構成されるメタルゲート配線38が形成されている。メタルゲート配線38は、端子T2に接続される。

#### 【0049】

このように電界効果トランジスタQ1のゲートは、メタルゲート構造とされており、膜厚が厚い為酸化膜破壊が発生しにくい構造とされている。また、メタルゲートのゲート酸化膜36上に保護層37が形成されることで640nm程度と厚いため、耐圧が大きい。このため、気中放電などに充分に絶え得る構造となっている。

#### 【0050】

例えば、ゲートの絶縁膜が厚さ40nm程度のSiO<sub>2</sub>のゲート酸化膜だけの構成である場合には、その耐圧が40Vであるのに対し、本実施例のようにゲートの絶縁層の厚さを640nm程度とすることによりその耐圧は700Vにすることができる。

#### 【0051】

また、ソース領域を構成するN型拡散領域33上には、コンタクトホール40が形成されている。コンタクトホール40には、メタルゲート配線38が配設される。メタルゲート配線38には、端子T2に接続される。

#### 【0052】

さらに、保護層37と膜構成が同一の保護膜39のドレイン領域を構成するN型拡散領域34上には、コンタクトホール42が形成されている。コンタクトホール42内には、ドレイン配線43が形成される。ドレイン配線43は、端子T

1に接続される。

#### 【0053】

また、ウェル領域32には、ウェル領域32にバイアス電位を与えるためのチャンネルストッパと呼ばれるP型拡散領域44が形成されている。P型拡散領域44は、ウェル領域32とその外周部の半導体基板31に跨って形成されている。

#### 【0054】

P型拡散領域44には、コンタクトホール40がN型拡散領域33から連通して形成されおり、メタルゲート配線38が接続されている。

#### 【0055】

さらに、P型拡散領域44の外周には、高濃度のN型拡散領域45が形成されている。このN型拡散領域45は、P型拡散領域44に接触しており、P型拡散領域44とPN接合46を形成している。このPN接合46がダイオードD1として機能する。なお、このとき、PN接合46を構成するP型拡散領域44及びN型拡散領域45は、共に高濃度不純物拡散領域となるため、半導体基板31とウェル領域32とで構成される寄生ダイオードに比べて耐量を向上させることができるとともに、インピーダンスを低下させることができる。

#### 【0056】

N型拡散領域45は、コンタクトホール47を介してアルミニウムなどからなる配線48に接続されている。また、配線48は、端子T1に接続される。

#### 【0057】

以上のように電界効果トランジスタQ1のチャンネルストッパを構成するP型拡散領域44をウェル領域32から外部に延出させ、高濃度N型拡散領域45と接触させることによりダイオードD1を構成しているため、ダイオードD1を別の領域に形成する必要がないので、省スペース化できる。

#### 【0058】

なお、複数の電界効果トランジスタ及び複数のダイオードを共通のウェル領域を用いて形成することもできる。

#### 【0059】

図6は保護回路12の第1変形例の平面図、図7は保護回路12の第1変形例

の断面図を示す。同図中、図4、図5と同一構成部分には同一符号を付し、その説明は省略する。

#### 【0060】

本変形例の保護回路112は、ウェル領域32内に第1～第4の電界効果トランジスタQ11～Q14を形成し、その外側にチャンネルストッパを構成するP型拡散領域44を用いて第1のダイオードD11及び第2のダイオードD12を形成した構成とされている。

#### 【0061】

第1の電界効果トランジスタQ11は、ソース／ゲート配線121を有する。ソース／ゲート配線121は、ソース拡散領域122及びチャンネル領域上の絶縁膜124並びにチャンネルストッパを構成するP型拡散領域44に跨って形成されており、コンタクトホール123を通してソース拡散領域122及びP型拡散領域44に接続される。絶縁膜124は、図7と同様にゲート酸化膜及びNSG膜並びにBP SG膜とが積層された構造とされており、厚膜構造とされている。なお、ソース／ゲート配線121は、端子T2に接続されている。

#### 【0062】

また、第1の電界効果トランジスタQ11と第2の電界効果トランジスタQ12とは、ドレイン拡散領域125及びドレイン配線126が共有化された構造とされている。ドレイン配線126は、コンタクトホール127を通してドレイン拡散領域125に接続される。なお、ドレイン配線126は、端子T2に接続されている。

#### 【0063】

また、第2の電界効果トランジスタQ12と第3の電界効果トランジスタQ13とはソース拡散領域128及びソース／ゲート配線129が共有化された構造とされている。ソース／ゲート配線129は、コンタクトホール130を通してソース拡散領域128に接続されるとともに、ゲート領域を上の絶縁膜131、132に跨って形成されている。絶縁膜131、132は、図7と同様にゲート酸化膜及びNSG膜並びにBP SG膜とが積層された構造とされており、厚膜構造とされている。ソース／ゲート配線129は、入力端子Tinに接続される端子T2



に接続されている。

【0064】

さらに、第3の電界効果トランジスタQ13と第4の電界効果トランジスタQ14とは、ドレイン拡散領域133及びドレイン配線134が共有化された構造とされている。ドレイン配線134は、コンタクトホール135を通してドレイン拡散領域133に接続される。なお、ドレイン配線134は、電源端子Tsに接続される端子T1に接続される。

【0065】

また、第4の電界効果トランジスタQ14は、ソース／ゲート配線136を有する。ソース／ゲート配線136は、ソース拡散領域137及び絶縁膜138並びにチャネルストッパを構成するP型拡散領域44に跨って形成されており、コンタクトホール139を通して、ソースコンタクト用拡散領域137及びP型拡散領域44に接続されている。絶縁膜138は、図7と同様にゲート酸化膜及びN<sub>2</sub>O膜並びにBPSG膜とが積層された構造とされており、厚膜構造とされている。なお、ソース／ゲート配線136は、入力端子Tinに接続される端子T2に接続される。

【0066】

ダイオードDは、チャネルストッパを構成するP型拡散領域44と、P型拡散領域44に外側に形成された高濃度N型拡散領域140とから構成されている。ダイオードD11は、N型拡散領域140の上部に形成されたコンタクトホール141、143を通してアノード配線142、144にそれぞれ接続された構成とされ、アノード配線142、144は、電源端子Tsに接続された端子T1に接続される。また、ダイオードD11は、P型拡散領域44の上部に形成されたコンタクトホール123、139を通してカソード配線であるソース／ゲート配線121とドレイン配線136にそれぞれ接続された構成とされ、配線121、136は、電源端子Tsに接続された端子T2に接続される。

【0067】

図8は保護回路112の等価回路図を示す。

【0068】

保護回路 112 は、第 1 の電界効果トランジスタ Q11～第 4 の電界効果トランジスタ Q14 及びダイオード D11 から構成される。第 1 の電界効果トランジスタ Q11～第 4 の電界効果トランジスタ Q14 は、ソースドレイン間が端子 T1 と端子 T2 との間に接続され、ゲート及びバックゲートが端子 T1 に接続された構成とされる。また、ダイオード D11 は、アノードが端子 T1、カソードが端子 T2 に接続された構成とされる。

#### 【0069】

本変形例によれば、第 1 の電界効果トランジスタ Q11～第 4 の電界効果トランジスタ Q14 からなる複数のトランジスタ及びダイオード D11 からなる複数のダイオードにより電流を吸収できるため、大電流に対応可能となる。また、複数のトランジスタ及びダイオードを一つのウェル領域 32 の周辺にまとめて形成することができるため、各素子を分離するための分離領域などが不要となり、保護回路 112 を省スペース化することが可能となる。また、拡散領域及び配線を第 1 の電界効果トランジスタ Q11～第 4 の電界効果トランジスタ Q14 及び第 1 のダイオード D11 及び第 2 のダイオード D12 で共有化できるため、配線を簡略化できる。

#### 【0070】

なお、内部回路 11 と保護回路 12 との間に抵抗などのインピーダンスを挿入するようにしてもよい。

#### 【0071】

図 9 は本発明の半導体装置の一実施例の他の変形例のブロック構成図を示す。同図中、図 1 と同一構成部分には同一符号を付し、その説明は省略する。

#### 【0072】

本変形例の半導体装置 200 は、内部回路 11 と保護回路 12 との間に抵抗 R1 を間挿した構成とされている。抵抗 R1 は、保護回路 12 が動作したときの保護回路 12 のインピーダンスよりも大きいインピーダンスに設定されている。

#### 【0073】

内部回路 11 と保護回路 12 との間に抵抗 R1 を間挿することにより、保護回路 12 により電流が吸収されているときに、内部回路 11 側に大電流が流れ込むことを防止できる。

**【 0 0 7 4 】**

なお、本実施例では、電界効果トランジスタを例に説明を行ったが、バイポーラトランジスタを用いても同様な回路構成を得ることができる。

**【 0 0 7 5 】**

図 1 0 はバイポーラトランジスタを用いた保護回路の回路構成図を示す。

**【 0 0 7 6 】**

バイポーラトランジスタを用いた保護回路 3 0 0 は、ダイオード D21 及びバイポーラトランジスタ Q21 から構成される。バイポーラトランジスタ Q21 は、トランジスタ本体 Q31、内部抵抗 R31、寄生ダイオード D31 とを含む構成とされている。なお、ダイオード D21 は、バイポーラトランジスタ Q21 の寄生ダイオード D31 とは別に設けられている。

**【 0 0 7 7 】****【発明の効果】**

上述の如く、本発明の請求項 1 によれば、電界効果トランジスタと P N 接合とを端子間に接続し、端子間の過電流を吸収する構成とすることにより、P N 接合により電流の立ち上がりに対して高速に対応でき、かつ、電流が立ち上がった後には電界効果トランジスタにより低インピーダンスで電流を吸収できるため、耐量を向上させることができるなどの特長を有する。

**【 0 0 7 8 】**

また、本発明の請求項 2 によれば、電界効果トランジスタのゲートをチャネル上に形成されたゲート酸化膜と、ゲート酸化膜上に形成された保護膜と、保護膜上に形成された導電材とから構成することにより、ゲートの絶縁膜を厚くすることができるため、電界効果トランジスタの耐量を向上させることができるなどの特長を有する。

**【 0 0 7 9 】**

本発明の請求項 3 によれば、電界効果トランジスタのゲートをメタルゲート構造とすることにより、電界効果トランジスタのゲート酸化膜耐圧を向上させることができるため、静電放電試験など大きな耐量が要求される場合に対応できるなどの特長を有する。

**【0080】**

本発明の請求項 4 によれば、ウェル領域内に、複数の電界効果トランジスタを設け、複数の電界効果トランジスタでゲートとドレインとを共有化することにより、複数の電界効果トランジスタで電流を分散して逃がすことができるため、大電流に対応できる。また、複数の電界効果トランジスタをゲートとドレインとで共有化し、同一のウェル領域内に形成するため、小さいスペースで実現できるなどの特長を有する。

**【0081】**

本発明の請求項 5 によれば、端子間の電位差に応じて流れる電流の応答がダイオードと同等に立ち上がり有する第 1 の素子と電流の立ち上がり後、トランジスタと同等のインピーダンスとなる第 2 の素子とを端子間に接続し、端子間の過電流を吸収する構成とすることにより、第 1 の素子により電流の立ち上がりに対して高速に対応でき、かつ、電流が立ち上がった後には第 2 の素子により低インピーダンスで電流を吸収できるため、耐量を向上させることができるなどの特長を有する。

**【図面の簡単な説明】**

- 【図 1】** 本発明の半導体装置の一実施例のブロック構成図である。
- 【図 2】** 保護回路 1 2 の回路構成図である。
- 【図 3】** 保護回路 1 2 の特性図である。
- 【図 4】** 保護回路 1 2 の平面図である。
- 【図 5】** 保護回路 1 2 の断面図である。
- 【図 6】** 保護回路 1 2 の変形例の平面図である。
- 【図 7】** 保護回路 1 2 の変形例の断面図である。
- 【図 8】** 保護回路 1 2 の変形例の等価回路図である。
- 【図 9】** 保護回路 1 2 の他の変形例の回路構成図である。
- 【図 10】** バイポーラトランジスタを用いた保護回路の回路構成図である。
- 【図 11】** 電界効果トランジスタを用いた保護回路の回路構成図である。
- 【図 12】** トランジスタを用いた保護回路の特性図である。

【図 1 3】 トランジスタ及びダイオードの電圧－電流特性図である。

【図 1 4】 ダイオードを用いた保護回路の回路構成図である。

【図 1 5】 ダイオードを用いた保護回路の特性図である。

【符号の説明】

1、2 0 0：半導体装置

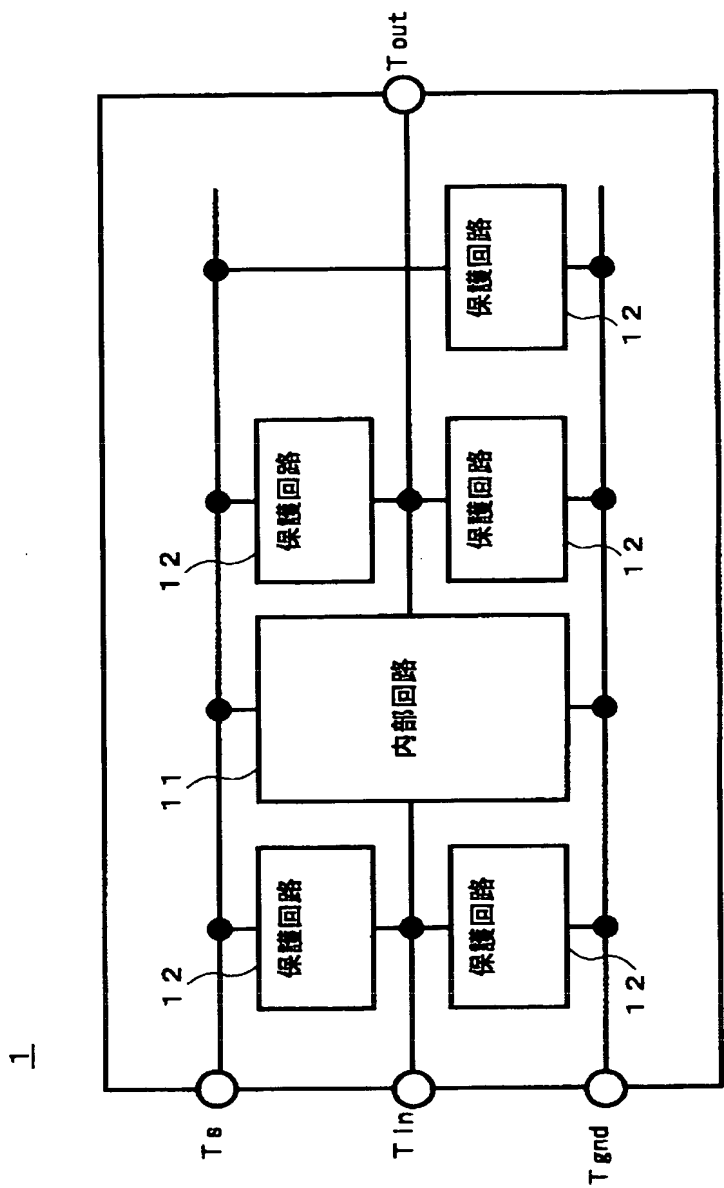
1 1：内部回路

1 2：保護回路

2 1：第 1 の素子、2 2：第 2 の素子

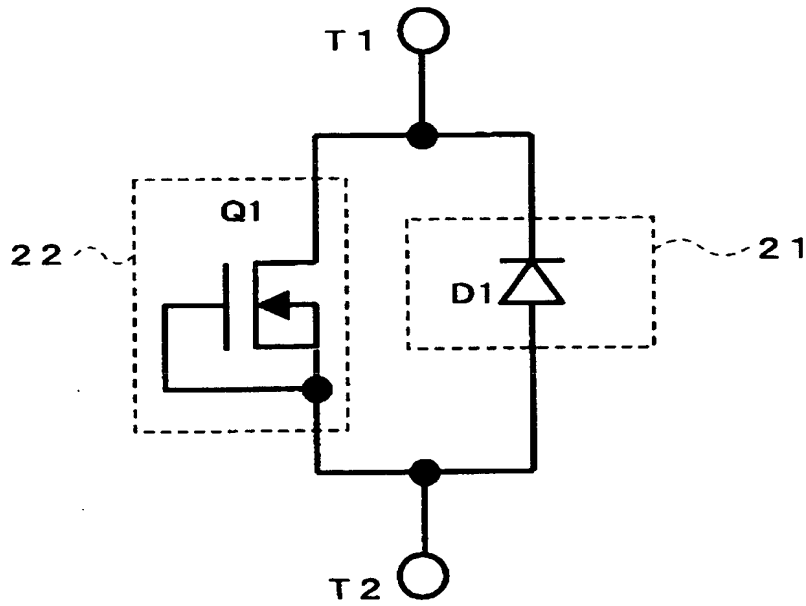
Q 1、Q 11～Q 14：電界効果トランジスタ、D 1、D 11、D 12：ダイオード

【書類名】 図面  
【図 1】

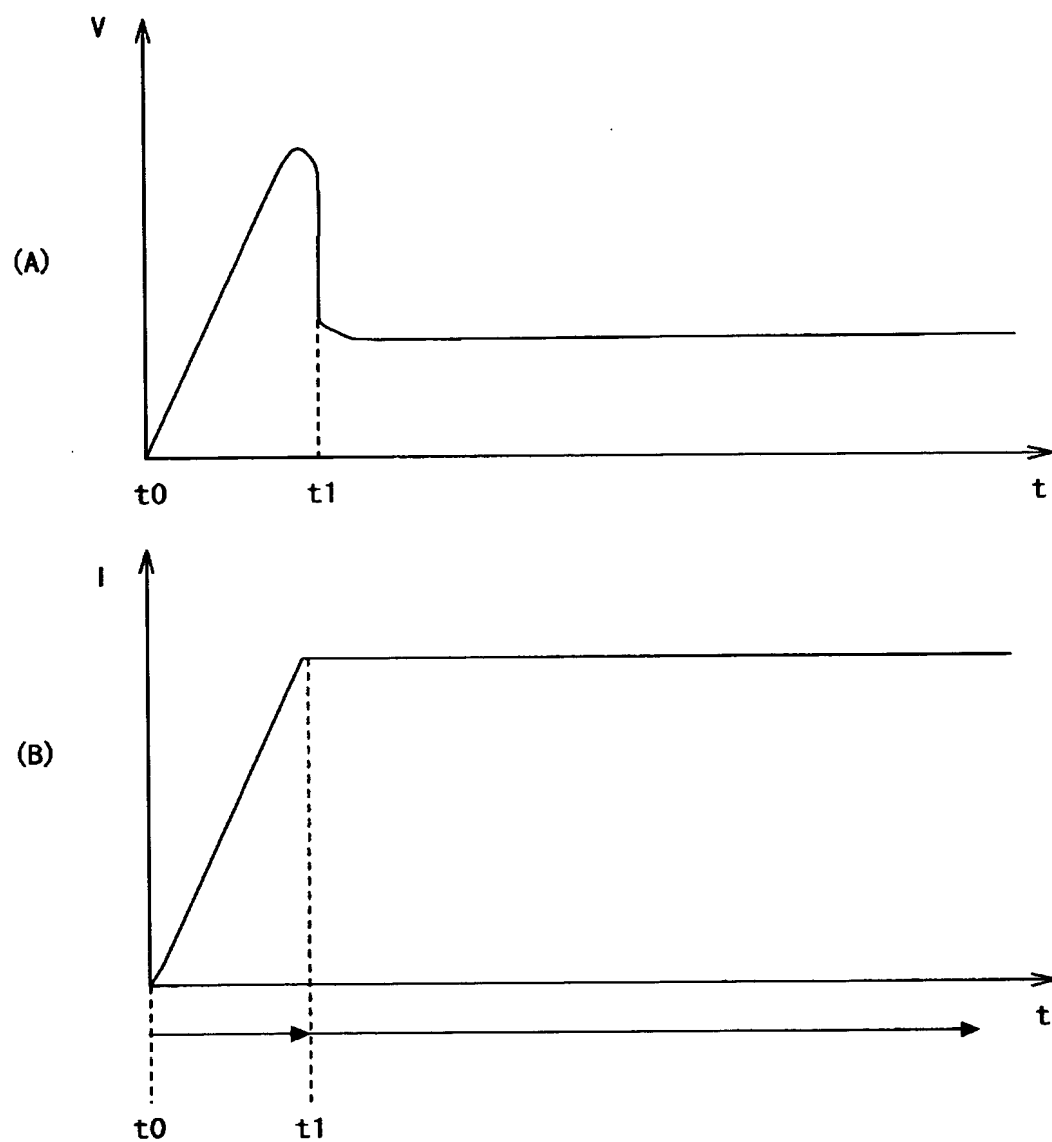


【図 2】

1 2

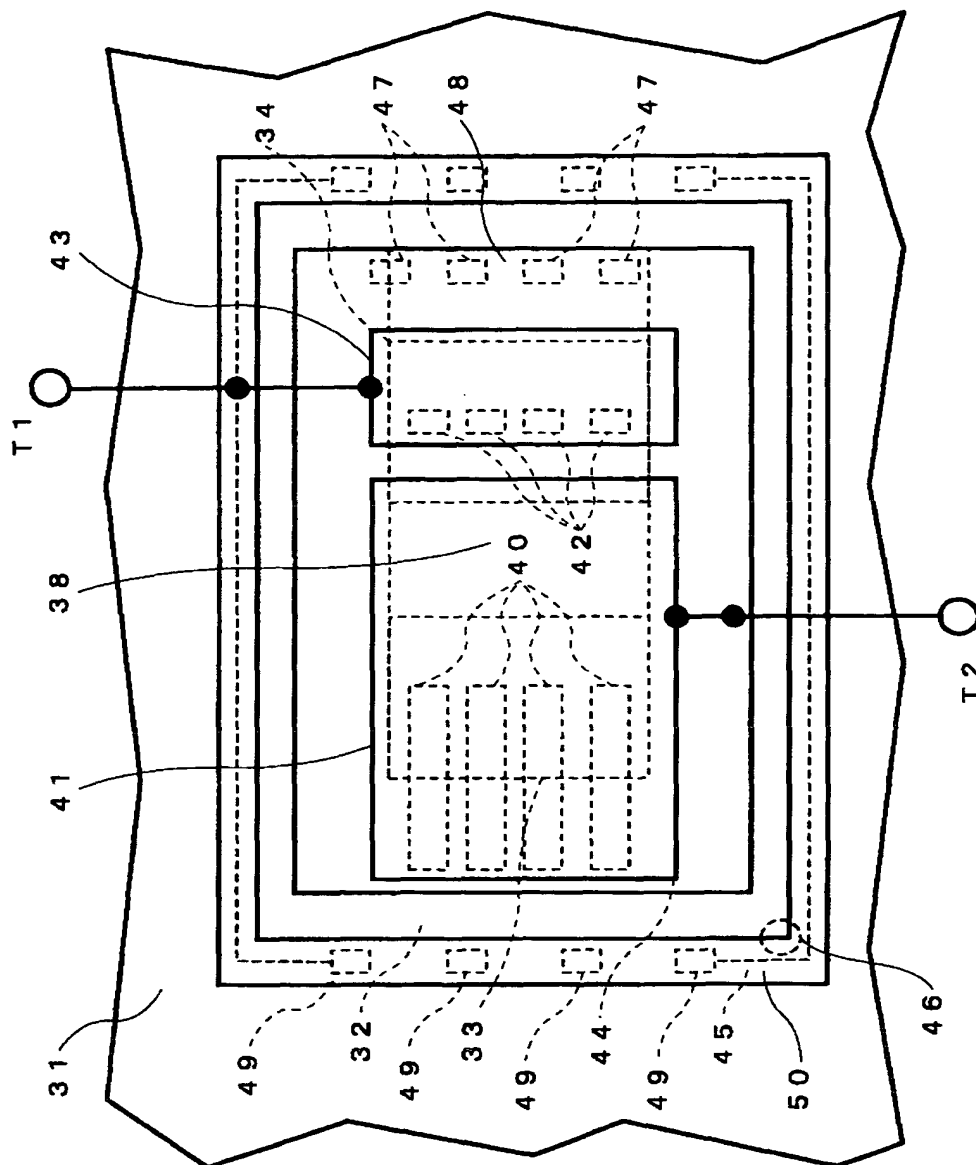


【図 3】

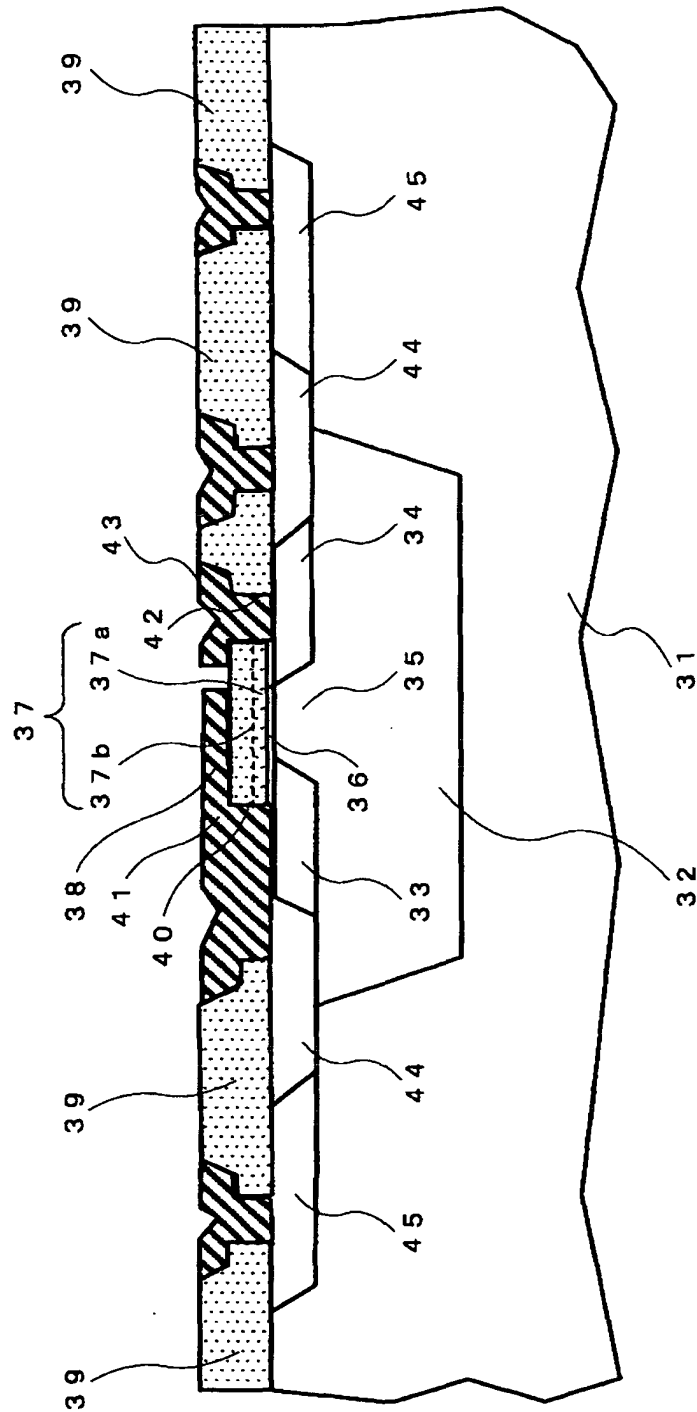




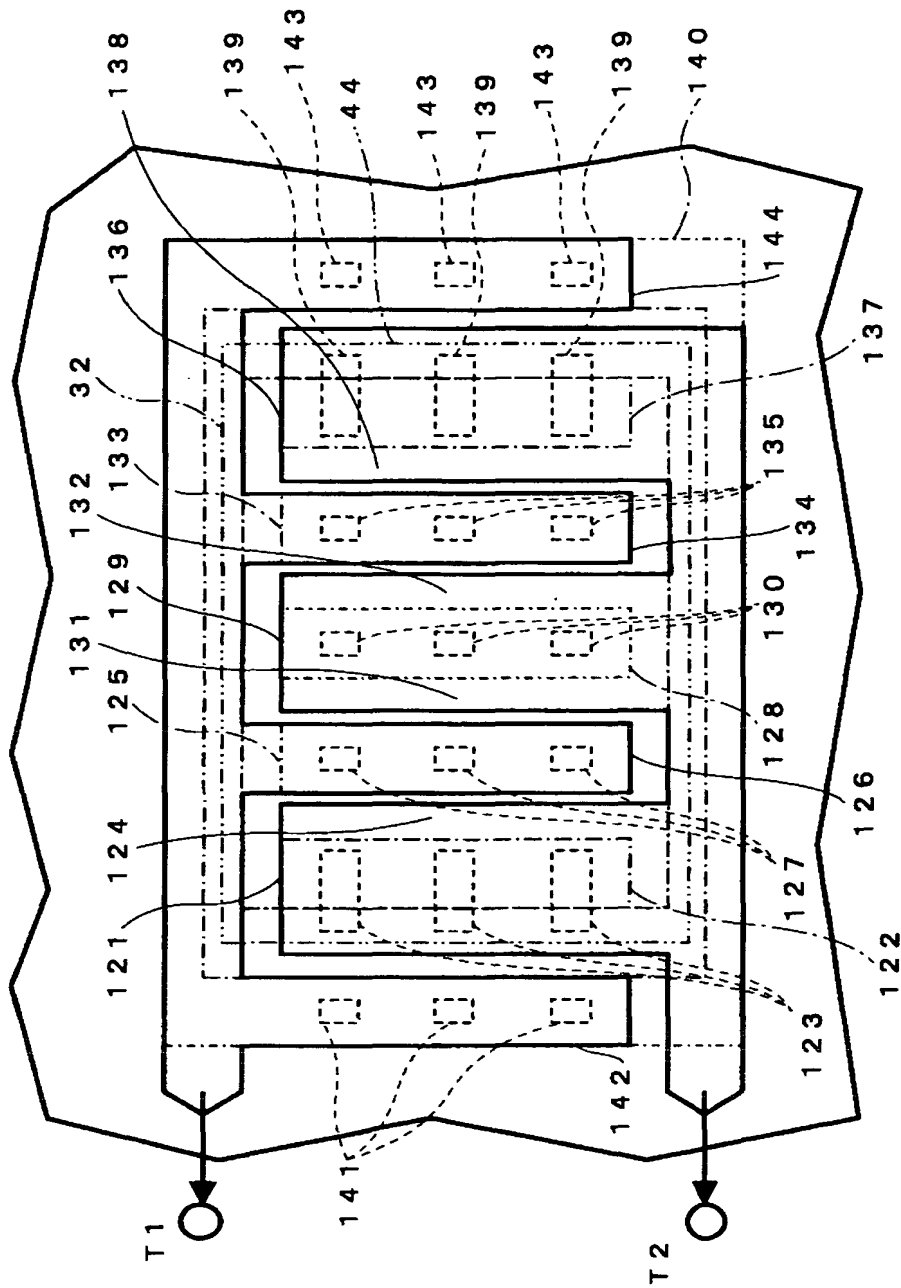
【図 4】



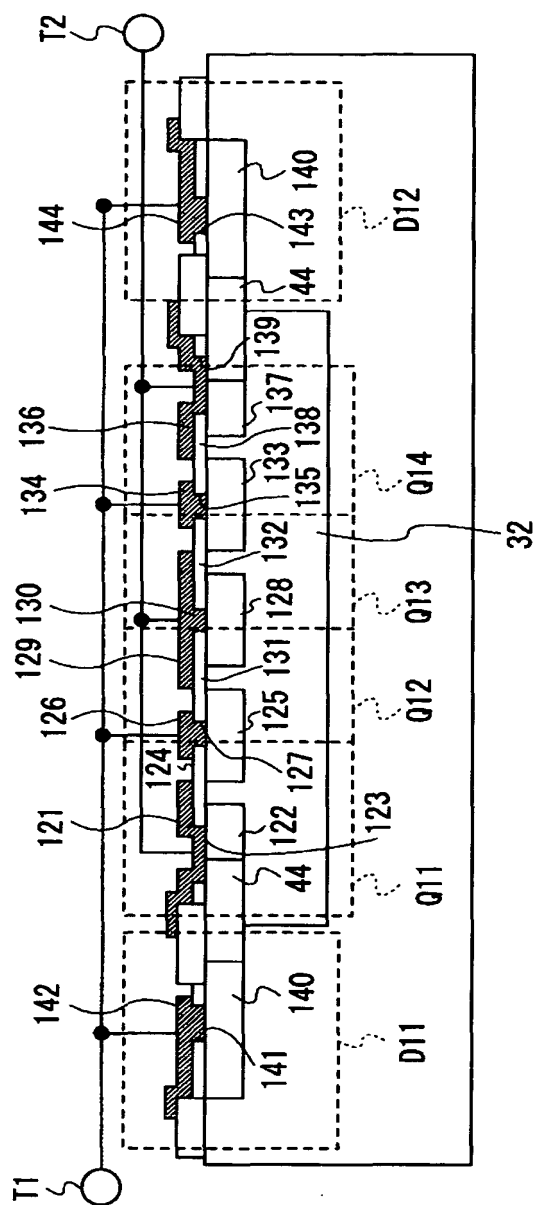
【図 5】



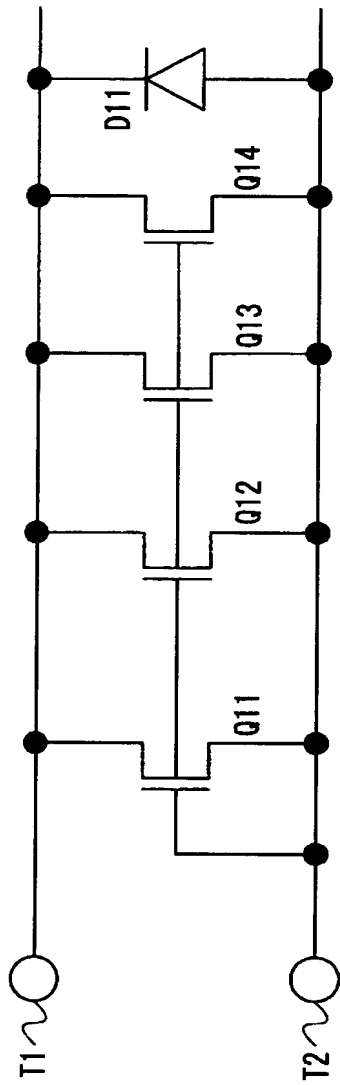
【図 6】



【圖 7】

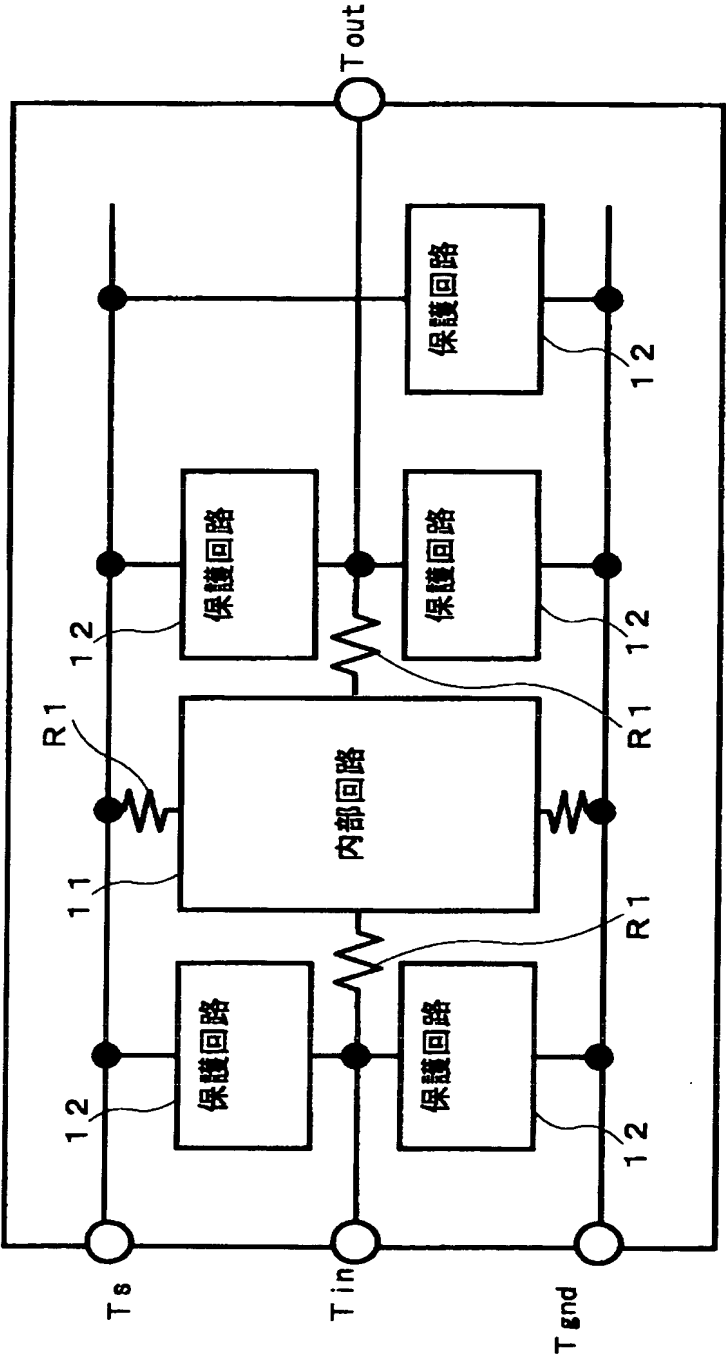


【図 8】

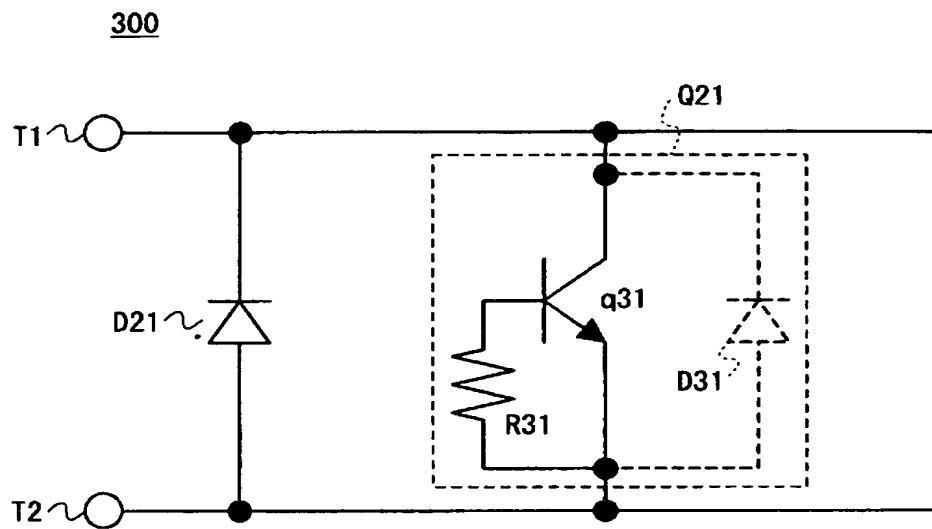


【図 9】

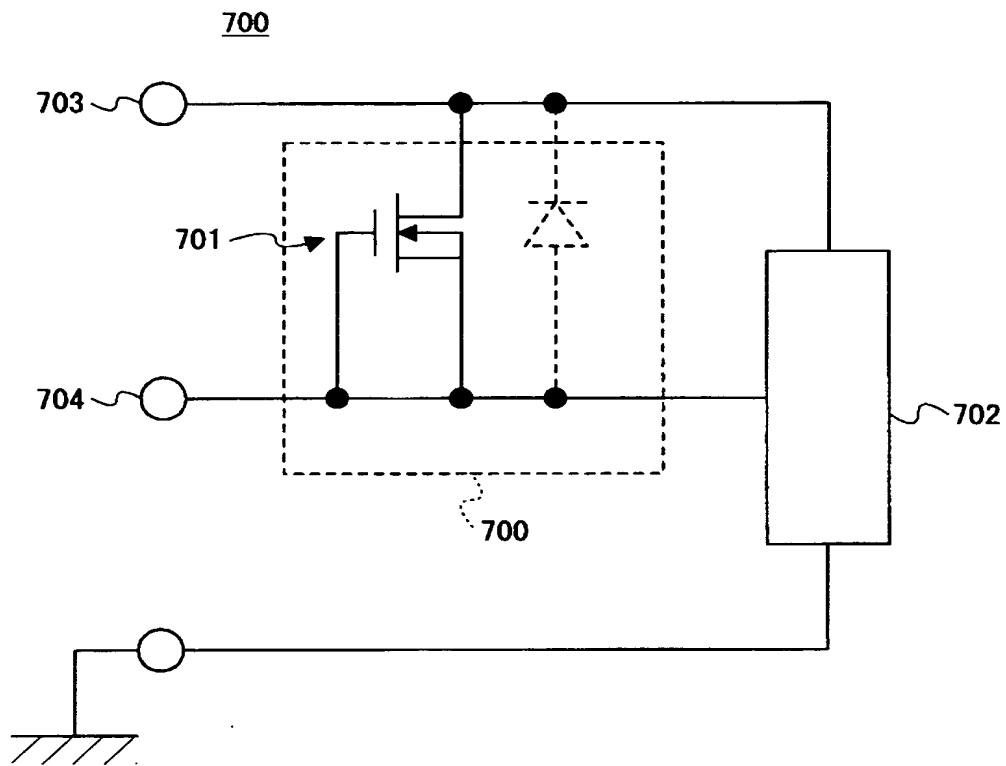
200



【図 1 0】

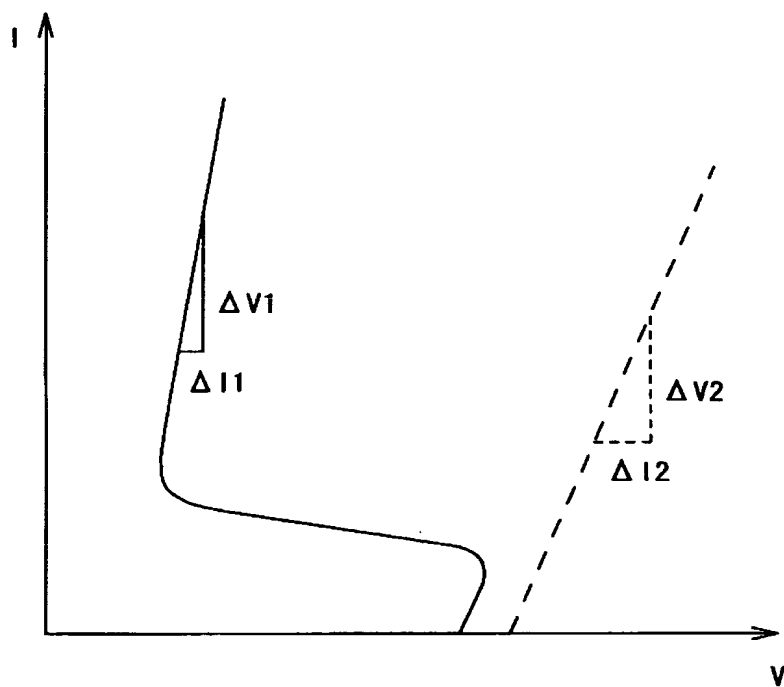


【図 1 1】

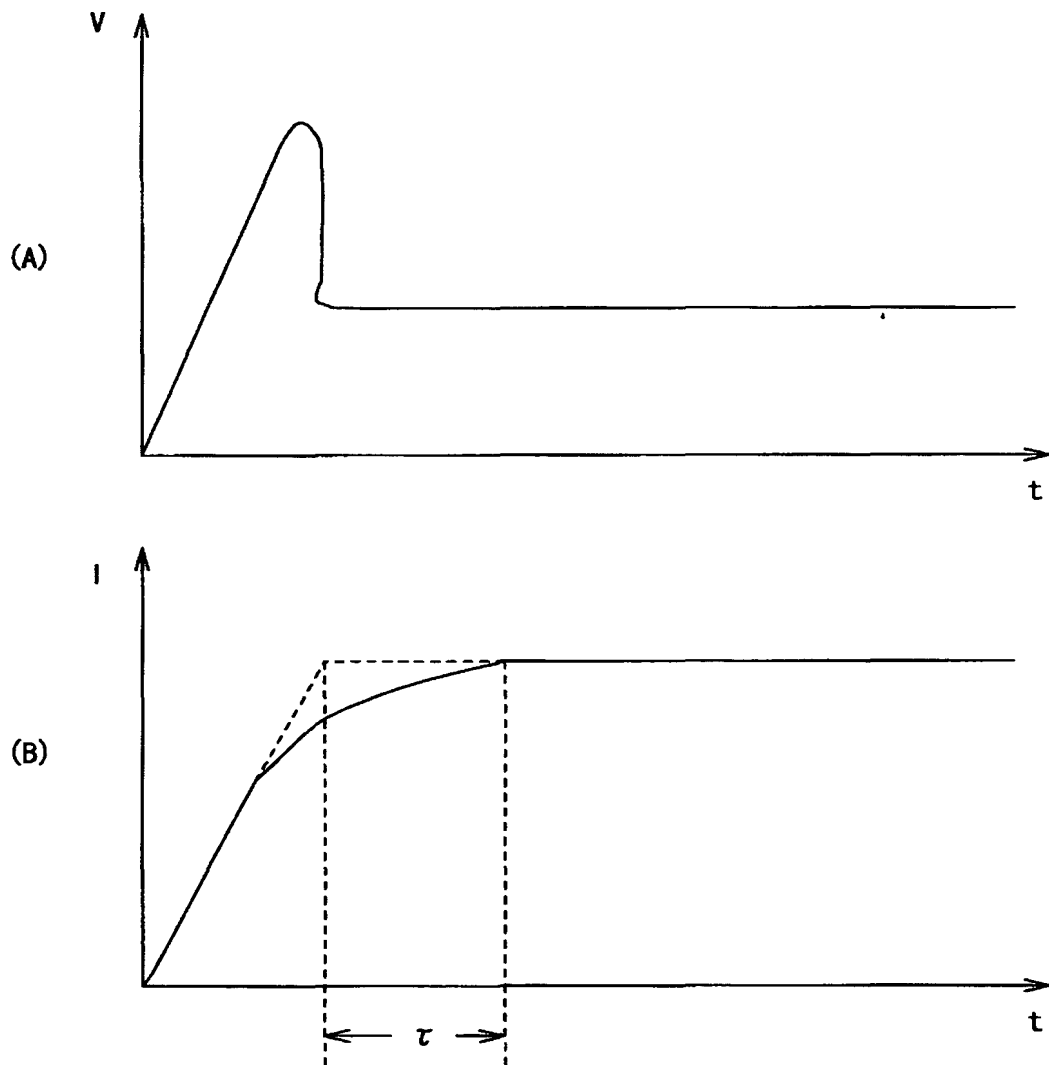




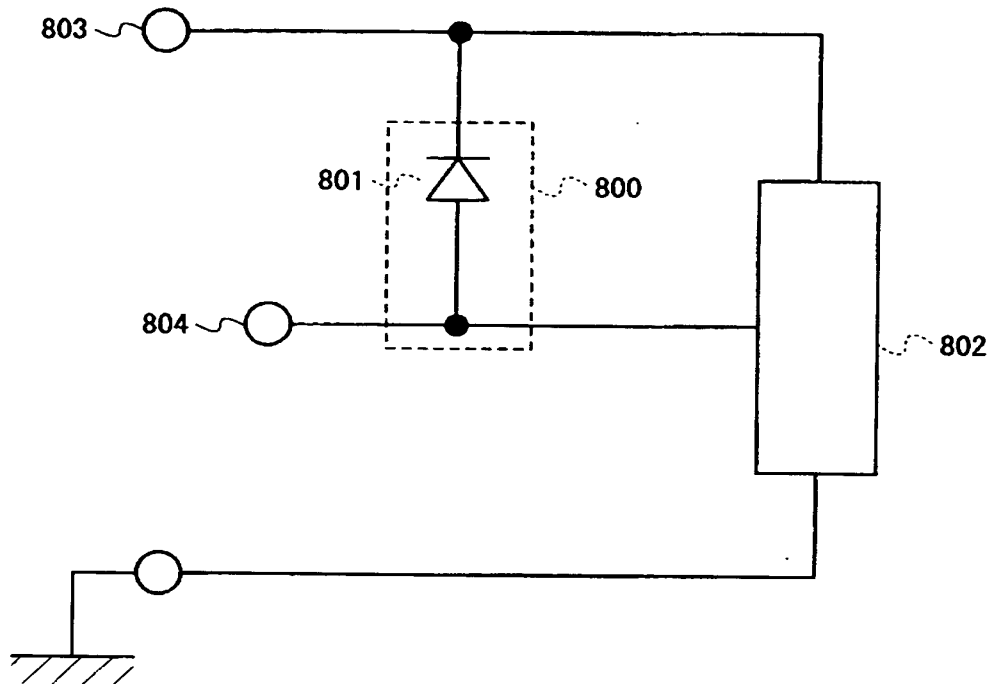
【図 1 2】



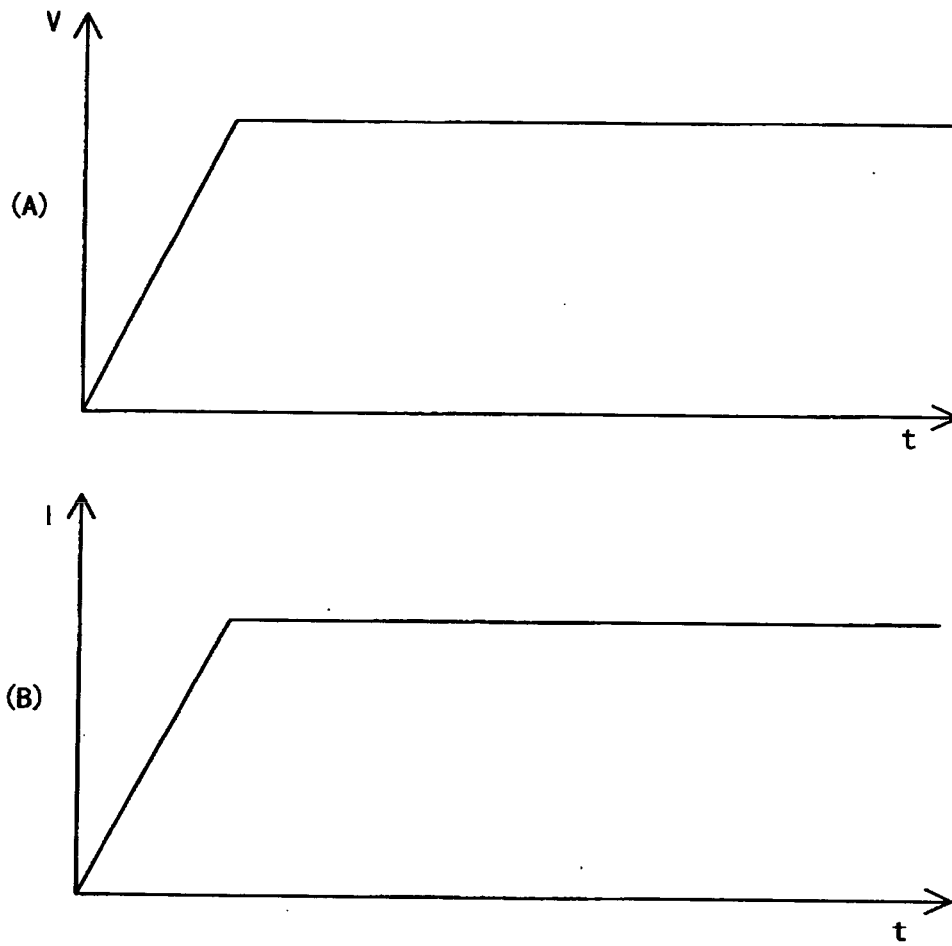
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 静電放電保護を行う保護回路及びそれを内蔵した半導体装置に関し、小型で、応答速度及び耐圧を向上させることができる保護回路を内蔵した半導体装置を提供することを目的とする。

【解決手段】 基板内に形成されたウェル領域（32）と、ウェル領域内に形成された電界効果トランジスタ（Q1）と、ウェル領域（32）とその外周部とに跨って形成され、ウェル領域（32）にバックゲート電位を印加するとともに、外周部とでPN接合（D1）を形成する拡散領域（44）とを有し、電界効果トランジスタ（Q1）とPN接合（D1）とを端子（Tin、Tout、Ts、Tgnd）間に接続し、端子（Tin、Tout、Ts、Tgnd）間の過電流を吸収し、端子（Tin、Tout、Ts、Tgnd）に接続された内部回路（11）を保護することを特徴とする。

【選択図】 図5

特願 2002-287199

出願人履歴情報

識別番号 [000006220]

1. 変更年月日 2001年 8月21日  
[変更理由] 住所変更  
住 所 東京都調布市国領町8丁目8番地2  
氏 名 ミツミ電機株式会社
2. 変更年月日 2002年11月12日  
[変更理由] 住所変更  
住 所 東京都多摩市鶴牧2丁目11番地2  
氏 名 ミツミ電機株式会社
3. 変更年月日 2003年 1月 7日  
[変更理由] 住所変更  
住 所 東京都多摩市鶴牧2丁目11番地2  
氏 名 ミツミ電機株式会社
4. 変更年月日 2003年 4月 2日  
[変更理由] 名称変更  
住所変更  
住 所 東京都多摩市鶴牧2丁目11番地2  
氏 名 ミツミ電機株式会社